

2026年2月27日  
フューチャー株式会社  
(東証プライム:証券コード 4722)

## フューチャー、FPGA 搭載型 AI アクセラレータを独自開発 「RISC-V Day Tokyo 2026 Spring」にて初公開

フューチャー株式会社(本社:東京都品川区、代表取締役会長兼社長 グループ CEO 金丸恭文、以下フューチャー)は、未来のコンピュータ技術とビジネスの開発を目的とした研究開発組織 ki-labs(ケーアイラボ)を 2024 年 10 月に立ち上げ、AI の処理を高速化するための専用ハードウェアである AI アクセラレータ「開発コード名:Mark-I (マークワン)」を独自開発してきました。また、「Mark-I」初公開の場として、2026 年 3 月 5 日に東京大学 伊藤国際学術研究センター(東京都文京区)にて開催される「RISC-V Day Tokyo 2026 Spring」に出展します。

フューチャーは、20 社以上のグループ企業を展開するソーシャルデザインカンパニーとして AI 専門チーム Strategic AI Group を中核に AI の学術研究・研究開発を推進しています。2024 年 10 月には経済産業省と NEDO (新エネルギー・産業技術総合開発機構)が推進する国内生成 AI の開発力強化プロジェクト「GENIAC (Generative AI Accelerator Challenge)」にも採択され、国内のさまざまな大学研究室と連携し「日本語とソフトウェア開発に特化した基盤モデル」を構築した実績もあります<sup>\*1</sup>。また、「経営と AI をデザインする」というスローガンのもと、主要事業会社のフューチャーアーキテクトとともにお客様の経営課題や社会課題を実践的に解決する AI コンサルティングサービスを提供しています。あわせて、AI の社会実装が急速に進む中、ソフトウェアの最適化だけでは限界のある処理性能や電力効率の課題に対し、ハードウェアの観点から解決を図るのが当社の ki-labs が開発する AI アクセラレータです。

AI アクセラレータ「Mark-I」は 8 基のシストリックアレイ<sup>\*2</sup>により、CNN(Convolutional Neural Network:畳み込みニューラルネットワーク)の高速処理を可能にしました。FPGA(Field Programmable Gate Array)を採用することで、用途に応じた柔軟な構成変更(フルカスタマイズ)が可能となり、エッジ領域でのリアルタイム処理(顔検出など)において圧倒的な優位性を発揮します。最大の特長は、すべての回路設計のソースコード(SystemVerilog)から制御ソフトウェアまでをフルスタックで自社開発している点です。コントローラには RISC-V アーキテクチャを採用しており、Rust<sup>\*3</sup>で開発したソフトウェアにより、効率的できめ細やかなデータフロー制御を実現しています。これにより、用途に応じた柔軟な構成変更が可能となり、AI 活用の目的に応じたフルカスタマイズと最適化を実現します。

Mark-I 仕様		Mark-I Specifications	
項目	仕様	Item	Specification
対応FPGA	Efinix Ti375	FPGA Platform	Efinix Ti375
演算性能	1.36 TOP/s (INT8)	Compute Performance	1.36 TOP/s (INT8)
コア周波数	333 MHz	Core Frequency	333 MHz
演算アーキテクチャ	SPU: 8 × 16×16 シストリックアレイ	Compute Architecture	SPU: 8 × 16×16 systolic array units
ローカルメモリ	合計 18.8 Mbit (各SPU: 2.3 Mbit)	Local Store	18.8 Mbit total (2.3 Mbit per SPU)
データ転送	PINK: AXI4 512-bit データ転送ユニット (演算と並列動作)	Data Transfer Engine	PINK: AXI4 512-bit data transfer unit (operating in parallel with computation)
対応畳み込みサイズ	1×1, 3×3	Supported Conv. Sizes	1×1, 3×3
プーリング	なし、2×2 Max Pooling	Pooling	None, 2×2 Max Pooling
活性化関数	なし、ReLU, Leaky ReLU	Activation Functions	None, ReLU, Leaky ReLU
処理単位	入出力とも16チャンネル単位で処理 (不足分はゼロ埋め)	Processing Unit	Processed in 16-channel blocks (zero-padded when not aligned)

2026年2月時点の仕様です。さらなる高速化・高機能化に向けて開発を進めています。  
Specs as of February 2026; further performance and functionality improvements are in progress.

当社はこれまで培ってきた大規模な基幹系・勘定系システムの構築プロジェクトの知見に、先進的な AI 技術の活用を融合させる取り組みを推進しています。さらに、自社で開発した AI アクセラレータを中核に、用途や要件に応じて柔軟にカスタマイズできる AI ハードウェア「Mark-I」を組み合わせることで、ビジネスの未来を創造する新たなデジタル基盤の実現を目指します。フューチャーは、今後も経営戦略の策定から AI モデルの設計、AI ハードウェアの実装までを一気通貫で手掛けることで、企業のDXを支援します。

- ※1 GENIAC 採択「日本語とソフトウェア開発に特化した基盤モデル」を一般公開～フューチャー独自の大規模言語モデルにより高い生成能力を実現（2025年6月9日） [https://www.future.co.jp/press\\_room/PDF/PressRelease\\_FC\\_GENIAC\\_20250609.pdf](https://www.future.co.jp/press_room/PDF/PressRelease_FC_GENIAC_20250609.pdf)
- ※2 シストリックアレイは、同一の処理を行う多数の演算ユニットを格子状に配置し、一定のリズムでデータを流しながら計算を進めるコンピュータアーキテクチャの一種です。
- ※3 Rust は、C/C++並みの高速性と、独自の「所有権」システムによるメモリ安全性を両立したネイティブコンパイラ言語です。Stack Overflow の調査で「最も愛されているプログラミング言語」に選ばれ続けています。

## ■RISC-V Day Tokyo 2026 Spring 出展概要

開催日時：2026年3月5日（木）9:00～18:00

会場：東京大学 伊藤国際学術研究センター（東京都文京区本郷7-3-1）

主催：RISC-V 協会

参加費：無料（事前の参加登録が必要）

公式サイト：<https://riscv.or.jp/risc-v-day-tokyo-2026-spring-j/>

「RISC-V Day Tokyo 2026 Spring」は、オープンソースの命令セットアーキテクチャ「RISC-V」に関する日本最大級の技術カンファレンスです。2017年から毎年開催され、国内外の主要企業や学生、研究者が最新のチップ設計、AI アクセラレータ、セキュリティ技術などの動向を共有します。

今回の出展では、「Mark-I」によるリアルタイム物体検出のデモンストレーションを行います。エッジFPGAで人物の顔をリアルタイムに検出し、メタ情報化することでプライバシーに配慮したAIの活用イメージをご紹介します。また、16:30より『RISC-Vを活用したカスタムAIアクセラレータ開発事例』と題した20分間の講演を実施します。

## ■本プロジェクトに関するお客様からのお問合せ先

フューチャー株式会社 ki-labs（ケーアイラボ）：宮下、北本

[https://www.future.co.jp/apps/contact/corp/others\\_entry.php](https://www.future.co.jp/apps/contact/corp/others_entry.php)

## ■本件に関する報道機関からのお問合せ先

フューチャー株式会社 広報：松本、石井

TEL：03-5740-5721

[https://www.future.co.jp/apps/contact/corp/press\\_interview\\_entry.php](https://www.future.co.jp/apps/contact/corp/press_interview_entry.php)